

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-307425

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

H03M 1/12

(21)Application number : 11-108026

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 15.04.1999

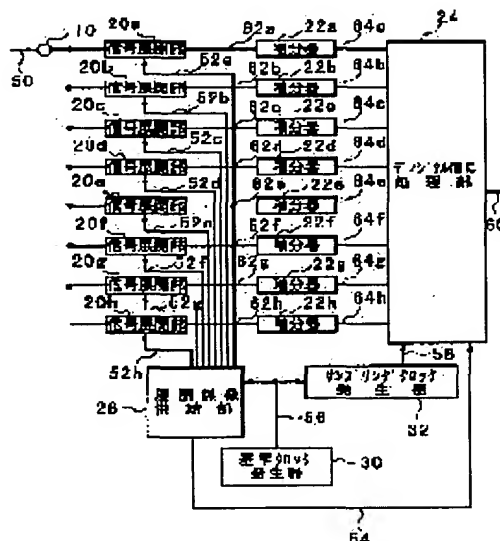
(72)Inventor : TAJIRI SHINSUKE

(54) A/D CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid much effect of a high sampling rate from giving adverse effect on the measurement accuracy by applying integration processing to an expanded analog signal over an integration period longer than a prescribed time interval and providing an output of a digital value based on the integrated value.

SOLUTION: Signal expansion sections 20a-20h apply an analog signal 50 received from an analog signal input section 10 and executes arithmetic processing and expands the analog signal 50 based on expansion pulses 52a-52h to provide outputs of different expanded signals 62a-62h respectively. A digital signal processing section 24 captures integral values 64a-64h stored in integrators 22a-22h at a sampling period T_s . The digital signal processing section 24 calculates a voltage of an analog signal 50 for each A/D conversion interval T_c on the basis of the integral values 64a-64h and an expansion matrix W and provides the output. Thus, the voltage of the analog signal 50 at the A/D conversion interval T_c shorter than the sampling period T_s can be calculated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-307425

(P2000-307425A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.⁷

H 0 3 M 1/12

識別記号

F I

H 0 3 M 1/12

テーマコード(参考)

C 5 J 0 2 2

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21)出願番号

特願平11-108026

(22)出願日

平成11年4月15日(1999.4.15)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 田尻 真介

東京都練馬区旭町1丁目32番1号株式会社

アドバンテスト内

(74)代理人 100104156

弁理士 龍華 明裕

Fターム(参考) 5J022 AA01 BA01 CA10 CB06 CD04

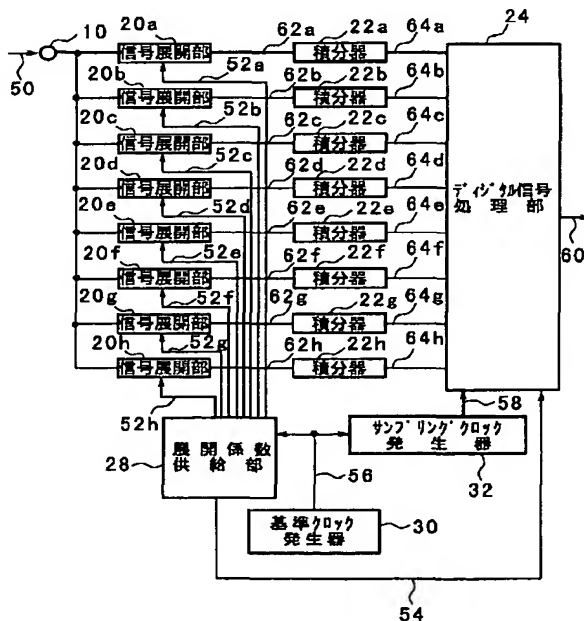
CE01 CE09 CF02 CF03 CF08

(54)【発明の名称】 A/D変換装置

(57)【要約】

【課題】アナログ信号をデジタル信号に変換するA/D変換装置を提供する。

【解決手段】アナログ信号を入力するアナログ信号入力部と、所定の時間間隔で供給される所定の係数に基づいて、アナログ信号を演算処理し、アナログ信号と異なる展開信号を出力する信号展開部と、展開信号を、所定の時間間隔の、ほぼ整数倍の時間間隔で積分処理し、積分値を出力する積分器と、積分値と所定の係数に基づいて、所定の時間間隔におけるアナログ信号の電圧値を算出してデジタル値として出力するデジタル信号処理部とを備える。



【特許請求の範囲】

【請求項1】 アナログ信号をデジタル信号に変換するA/D変換装置であって、前記アナログ信号を入力するアナログ信号入力部と、前記アナログ信号を所定の時間間隔毎に演算処理し、展開信号を出力する信号展開部と、前記展開信号を、前記所定の時間間隔より長い積分期間に渡り積分処理し、積分値を出力する積分器と、前記積分値に基づいて、前記所定の時間間隔における前記アナログ信号の電圧値を算出してデジタル値として出力するデジタル信号処理部とを備えることを特徴とするA/D変換装置。

【請求項2】 複数の前記信号展開部と、複数の前記信号展開部の各々に対応する複数の前記積分器を更に備え、前記デジタル信号処理部は、複数の前記積分器から出力される複数の前記積分値に基づいて、前記所定の時間間隔における前記デジタル値を出力することを特徴とする請求項1に記載のA/D変換装置。

【請求項3】 前記積分期間は、前記所定の時間間隔のほぼ整数倍であることを特徴とする請求項1又は2に記載のA/D変換装置。

【請求項4】 前記演算処理において前記アナログ信号に乘じる係数を、前記所定の時間間隔毎に供給する展開係数供給部を更に備えることを特徴とする請求項1から3のいずれかに記載のA/D変換装置。

【請求項5】 前記展開係数供給部は、前記積分期間に前記所定の時間間隔で順次に供給する前記係数の係数列を、前記積分期間毎に繰り返して供給し、前記信号展開部は、前記係数列に基づいて前記所定の時間間隔で前記アナログ信号を前記演算処理することを特徴とする請求項4に記載のA/D変換装置。

【請求項6】 前記展開係数供給部は、それぞれ異なる前記係数列を複数の前記信号展開部に供給し、複数の前記信号展開部は、それぞれ異なる前記係数列に基づいて前記所定の時間間隔で前記アナログ信号を前記演算処理することを特徴とする請求項5に記載のA/D変換装置。

【請求項7】 前記信号展開部は、前記係数がHi（論理値1）のときに前記アナログ信号に対して-1を乗じる演算をし、前記係数がLow（論理値0）のときに前記アナログ信号に対して1を乗じる演算をすることを特徴とする請求項1から6のいずれかに記載のA/D変換装置。

【請求項8】 前記デジタル信号処理部は、アナログ値である前記積分値をデジタル値にするA/D変換器と、前記デジタル値と前記係数に基づいて、前記所定の時間間隔における前記アナログ信号の電圧値を算出する電圧値算出部を有することを特徴とする請求項1から7のいずれかに記載のA/D変換装置。

【請求項9】 前記展開係数供給部が、前記係数列を保

持する記憶部を有することを特徴とする請求項5から8のいずれかに記載のA/D変換装置。

【請求項10】 前記デジタル信号処理部は、前記係数に基づいて電圧値を算出する際に用いる電圧値算出係数を供給する電圧値算出係数供給部を更に有することを特徴とする請求項4から9のいずれかに記載のA/D変換装置。

【請求項11】 前記電圧値算出係数は、それぞれ異なる前記係数列を配列することで得られる行列の逆行列であることを特徴とする請求項10に記載のA/D変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ信号をデジタル信号に変換するA/D変換装置に関し、特に、複数のA/D変換器を備えることで1つのA/D変換器のサンプリングレートより高いサンプリングレートで被測定信号のサンプル値を算出できるA/D変換装置に関する。

【0002】

【従来の技術】図1は、インターリーブ方式のA/D変換装置を示す。このA/D変換装置は、アナログ信号入力部10、A/D変換器12a及び12b、マルチプレクサ14、記憶装置16、サンプリングクロック発生器32、及び基準クロック発生器30を備える。

【0003】アナログ信号50は、アナログ信号入力部10に入力される。基準クロック発生器30は、基準クロック信号56をサンプリングクロック発生器32へ供給する。サンプリングクロック発生器32は、基準クロック信号56に基づいて、A/D変換器12a及び12bを交互に動作させるサンプリングクロック58a及び58bを、A/D変換器12a及び12bの各々に供給する。

【0004】A/D変換器12a及び12bは、サンプリングクロック58a及び58bに基づいて交互に動作し、アナログ信号50の電圧値をデジタル化して出力する。マルチプレクサ14は、A/D変換器12a及び12bから出力される電圧値を順次並び替え、記憶装置16に出力する。記憶装置16は、マルチプレクサ14から順次出力されるデジタル化された電圧値を記憶する。

【0005】

【発明が解決しようとする課題】インターリーブ方式を利用したA/D変換装置において、サンプリングレートを高めるには、各々のA/D変換器を動作させるタイミングを早める必要がある。しかし、各々のA/D変換器に生じる動作タイミングは、所望の動作タイミングに対してずれる場合があり、サンプリングレートが高まるほど、このずれが測定精度に大きな影響を及ぼす。図2

(a)に示されるようなアナログ信号を、従来のA/D

変換装置を用いてサンプリングするとA/D変換器の動作タイミングのずれによりD1からD10を正確に測定できないことがある。図2(b)に示されるようなインパルス波を、従来のA/D変換装置を用いてサンプリングすると量子化誤差の測定精度に及ぼす影響は、サンプリング数に比例して増加することがある。

【0006】そこで本発明は、上記の課題の少なくとも1つの解決に寄与することのできるA/D変換装置を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0007】

【課題を解決するための手段】本発明は、アナログ信号を入力するアナログ信号入力部と、前記アナログ信号を所定の時間間隔毎に演算処理し、展開信号を出力する信号展開部と、前記展開信号を、前記所定の時間間隔より長い積分期間に渡り積分処理し、積分値を出力する積分器と、前記積分値に基づいて、前記所定の時間間隔における前記アナログ信号の電圧値を算出してデジタル値として出力するデジタル信号処理部とを備えることを特徴とするA/D変換装置を提供する。

【0008】本発明の1つの態様においては、複数の前記信号展開部と、複数の前記信号展開部の各々に対応する複数の前記積分器を更に備え、前記デジタル信号処理部は、複数の前記積分器から出力される複数の前記積分値に基づいて、前記所定の時間間隔における前記デジタル値を出力してもよい。

【0009】本発明の別の態様においては、前記積分期間は、前記所定の時間間隔のほぼ整数倍であってもよい。

【0010】本発明の更に別の態様においては、前記演算処理において前記アナログ信号に乘じる係数を、前記所定の時間間隔毎に供給する展開係数供給部を更に備えてもよい。

【0011】本発明の更に別の態様においては、前記展開係数供給部は、前記積分期間に前記所定の時間間隔で順次に供給する前記係数の係数列を、前記積分期間毎に繰返して供給し、前記信号展開部は、前記係数列に基づいて前記所定の時間間隔で前記アナログ信号を前記演算処理してもよい。

【0012】本発明の更に別の態様においては、前記展開係数供給部は、それぞれ異なる前記係数列を複数の前記信号展開部に供給し、複数の前記信号展開部は、それぞれ異なる前記係数列に基づいて前記所定の時間間隔で前記アナログ信号を前記演算処理してもよい。

【0013】本発明の更に別の態様においては、前記信号展開部は、前記係数がHi(論理値1)のときに前記アナログ信号に対して-1を乗じる演算をし、前記係数がLow(論理値0)のときに前記アナログ信号に対し

て1を乗じる演算をしてもよい。

【0014】本発明の更に別の態様においては、前記デジタル信号処理部は、アナログ値である前記積分値をデジタル値にするA/D変換器と、前記デジタル値と前記係数に基づいて、前記所定の時間間隔における前記アナログ信号の電圧値を算出する電圧値算出部を有してもよい。

【0015】本発明の更に別の態様においては、前記展開係数供給部が、前記係数列を保持する記憶部を有してもよい。

【0016】本発明の更に別の態様においては、前記デジタル信号処理部は、前記係数に基づいて電圧値を算出する際に用いる電圧値算出係数を供給する電圧値算出係数供給部を更に有してもよい。

【0017】本発明の更に別の態様においては、前記電圧値算出係数は、それぞれ異なる前記係数列を配列することによって得られる行列の逆行列であってもよい。なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【0018】

【発明の実施の形態】以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態はクレームにかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0019】図3は、本発明によるA/D変換装置における1つの実施形態のブロック図を示す。このA/D変換装置は、アナログ信号入力部10、信号展開部(20a~20h)、積分器(22a~22h)、デジタル信号処理部24、展開係数供給部28、基準クロック発生器30及びサンプリングクロック発生器32を備える。

【0020】基準クロック発生器30は、基準クロック56を、展開係数供給部28及びサンプリングクロック発生器32のそれぞれに供給する。サンプリングクロック発生器32は、サンプリング周期Tsでサンプリングクロック58を、デジタル信号処理部24へ供給する。展開係数供給部28は、展開パルス(52a~52h)を信号展開部(20a~20h)の各々へ供給する。

【0021】アナログ信号50は、アナログ信号入力部10から入力される。信号展開部(20a~20h)は、アナログ信号50を、展開パルス(52a~52h)に基づいて演算処理して展開し、それぞれ異なる展開信号(62a~62h)を出力する。この演算処理は、例えば、アナログ信号50の電圧値を反転、又は非反転する処理であってもよい。本実施形態において、アナログ信号50の電圧値を反転する処理は、アナログ信号50に係数“-1”を乗じる演算であり、アナログ信

号50を非反転する処理は、アナログ信号50に係数“1”を乗じる演算である。展開パルス(52a~52h)は、例えば、以下の行列(1)により表現される、展開行列Wに基づいて生成される。

【数1】

$$W = \begin{pmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{pmatrix} \dots\dots (1)$$

展開行列Wの各要素が、アナログ信号50に掛けられる。展開係数供給部28は、展開行列Wで表される係数列を、サンプリング周期Tsで信号展開部(20a~20h)の各々へ繰り返し与える。また、係数列に含まれる各係数は、A/D変換間隔Tcで信号展開部(20a~20h)へ供給される。展開行列Wの列数は、サンプリング周期Tsにおいて、アナログ信号50のA/D変換値を得るべき回数Lにより定められ、このA/D変換数Lは、(サンプリング周期Ts)/(A/D変換間隔Tc)で定められる。

【0022】展開係数供給部28は、展開行列Wの各行に含まれる係数を、1列目からA/D変換間隔Tc毎に電圧値に変換し、展開パルス(52a~52h)を生成する。本実施形態において、展開係数供給部28は、各係数を、係数が“1”のときLow(論理値0)の電圧値に変換し、係数が“-1”のときHi(論理値1)の電圧値に変換する。例えば、展開係数供給部28は、行列(1)の第2行を、時刻0~Tcの間にLow、時刻Tc~2Tcの間にHi、時刻2Tc~3Tcの間にLow、以降8TcまでLowとHiを、繰り返す展開パルス52bに変換する。他の実施形態としては、展開係数供給部28が、複数の異なる展開行列Wを保持する記憶部を有し、保持された複数の異なる展開行列Wに基づいて展開パルス(52a~52h)を信号展開部(20a~20h)の各々へ供給してもよい。

【0023】信号展開部(20a~20h)は、前述した展開パルス(52a~52h)に基づいて、A/D変換間隔Tcでアナログ信号50を演算処理し、展開信号(62a~62h)を出力する。本実施形態において、展開パルス(52a~52h)がHiのとき、アナログ信号50は非反転され、展開パルス(52a~52h)がLowのとき、アナログ信号50は反転される。積分器(22a~22h)は、信号展開部(20a~20h)の各々から出力される展開信号(62a~62h)を、サンプリング周期Tsにわたり積分する。

【0024】デジタル信号処理部24は、積分器(22a~22h)に蓄えられた積分値(64a~64h)

を、サンプリング周期Tsで取り込む。積分値(64a~64h)が取り込まれると、積分器(22a~22h)に蓄えられた積分値(64a~64h)は、初期化される。デジタル信号処理部24は、積分値(64a~64h)及び展開行列Wに基づいて、各A/D変換間隔Tcにおけるアナログ信号50の電圧値を算出して出力する。

【0025】従って、本実施形態のA/D変換装置は、サンプリング周期Tsより短いA/D変換間隔Tcにおける、アナログ信号50の電圧値を算出できる。すなわち、サンプリング周期Ts間に、A/D変換数L個のアナログ信号50を、A/D変換間隔Tcで算出し出力できる。

【0026】図4は、図3に関連して説明した展開係数供給部28の詳細な構成を示す。この展開係数供給部28は、1/2分周器(44a、44b)及び排他的論理和部(46a~46d)を備える。排他的論理和部(46a~46d)は、入力した2つのクロックの排他的論理和を出力する。1/2分周器44aは、基準クロック56を1/2分周し、クロックCLK1を生成する。1/2分周器44bは、クロックCLK1を1/2分周し、クロックCLK2を出力する。

【0027】基準クロック56が、展開パルス52bとして信号展開部20bへ出力される。クロックCLK1が、展開パルス52cとして信号展開部20cへ出力される。基準クロック56及びクロックCLK1の排他的論理和が、展開パルス52dとして信号展開部20dへ出力される。クロックCLK2が、展開パルス52eとして信号展開部20eへ出力される。基準クロック56及びクロックCLK2の排他的論理和が、展開パルス52fとして信号展開部20fへ出力される。クロックCLK1とクロックCLK2の排他的論理和が、展開パルス52gとして信号展開部20gへ出力される。基準クロック56と展開パルス52gの排他的論理和が、展開パルス52hとして信号展開部20hへ出力される。以上のように、この展開係数供給部28は、基準クロック56、クロックCLK1、及びクロックCLK2の3種類のクロック、並びに複数の排他的論理和部(46a~46d)により展開パルス(52b~52h)を生成する。

【0028】図5は、図4に関連して説明した、基準クロック56、クロックCLK1、クロックCLK2、及び展開係数供給部28から出力される展開パルス(52b~52h)のタイミングチャートを示す。展開パルス(52a~52h)と、行列(1)の各係数を比べると、係数“1”はLow(論理値0)の電圧値に変換され、係数“-1”はHi(論理値1)の電圧値に変換されていることがわかる。すなわち、図4に示される展開信号供給部28は、行列(1)に表現された第2行から第8行の係数列をパルスに変換し、展開パルス(52b

～52h)を生成している。また、展開係数供給部28は、常にLowの展開パルス52a(図示せず)を展開パルス52aとして出力する。

【0029】図6は、図3に関連して説明した信号展開部20b及び積分器22bの詳細な構成を示す。信号展開部20bは、アナログスイッチ34a及び34b、インバータ36、並びにアナログ減算器38を備える。

【0030】アナログスイッチ34aには、展開パルス52bが入力され、アナログスイッチ34bには、反転された展開パルス52bが入力される。アナログスイッチ34aは、展開パルス52bがHiの時にアナログ信号50を通過させ、展開パルス52bがLowのときに電圧値0を出力する。アナログスイッチ34bは、展開パルス52bがLowの時にアナログ信号50を通過させ、展開パルス52bがHiのときに電圧値0を出力する。従ってアナログ信号50は、アナログスイッチ34a又は34bのいずれか一方を通過し、アナログ減算器38に入力される。アナログ減算器38は、アナログスイッチ34bの出力値からアナログスイッチ34aの出力値を減じる。従って、アナログスイッチ34aを通過したアナログ信号50は、電圧値が反転される。従って、アナログスイッチ34a又は34bを通過したアナログ信号50は、コンデンサ40cに蓄えられる。

【0031】積分器22bは、アナログスイッチ(34g～34k)、コンデンサ(40c、40d)及びオペアンプ42を有する。初期状態では、コンデンサ40c、40dの電荷はそれぞれ0である。また、アナログスイッチ34h以外のアナログスイッチ(34g、34i～34k)は開いている。

【0032】積分器22bは、サンプリング周期Ts毎に、アナログスイッチ34jを閉じて、コンデンサ40cに蓄えられた電荷をコンデンサ40dに転送する。アナログスイッチ34jが閉じられると、オペアンプ42は入力電圧を保持するように動作するので、コンデンサ40dはコンデンサ40cの電圧に蓄電される。コンデンサ40cと40dの電圧が等しくなると、アナログスイッチ34jは、再び開く。それから、アナログスイッチ34kが、サンプリング周期Tsで閉じ、コンデンサ40dに蓄えられた電荷が、デジタル信号処理部24に入力されデジタル化される。

【0033】コンデンサ40dに蓄えられた電荷が、デジタル信号処理部24に取り込まれると、アナログスイッチ34hが開き、アナログスイッチ34g及び34iが閉じる。この動作により、コンデンサ40cに蓄えられた積分値が初期化される。

【0034】図5の展開パルス52bが、信号展開部20bに供給される。時刻0からTcにおいて、展開パルス52bはLowなので、アナログ信号50はアナログスイッチ34bを通過する(1が乗じられる)。時刻Tcから2Tcにおいて展開パルス52bはHiなので、

アナログ信号50はアナログスイッチ34aを通過し、電圧値が反転される(-1が乗じられる)。展開パルス52bは、LowとHiとを交互に繰り返すので、アナログ信号50は、1と-1を交互に乗じられる。展開パルス52bに基づいて得られる展開信号62bの電圧値が、積分器22bにおいて積分される。ここで、信号展開部(20a、20c～20h)及び積分器(22a、22c～22h)の構成及び動作は、図6に関連して説明した信号展開部20b及び積分器22bの構成と同一なので説明を省略する。また、行列(1)で示される展開行列Wに基づいてアナログ信号50を展開する場合、信号展開部20aは、常にアナログ信号50を出力すればよいので、信号展開部20aを設けず、アナログ信号50を積分器22aで積分してもよい。

【0035】図7は、図3に関連して説明した信号展開部20b及び積分器22bの他の実施形態を示す。信号展開部20bは、アナログスイッチ(34a～34f)、及びコンデンサ(40a、40b)を有する。積分器22bの構成は、図6に示した積分器22bの構成及び動作と同一なので説明を省略する。信号展開部20bにおいて、初期状態では、コンデンサ40a、40bの電荷はそれぞれ0であり、全てのアナログスイッチ(34a～34f)は開いている。

【0036】展開パルス52bがLowの場合は、アナログスイッチ34a及び34dが閉じ、コンデンサ40aは、アナログ信号50の電圧に蓄電される。コンデンサ40aの電圧値が、アナログ信号50の電圧と等しくなった後で、アナログスイッチ34a及び34dが再び開く。次に、アナログスイッチ34b及び34cが閉じ、コンデンサ40aの負電荷が、コンデンサ40cに転送される。転送が完了するとアナログスイッチ34b及び34cが再び開く。

【0037】展開パルス52bがHiの場合は、アナログスイッチ34eが閉じ、コンデンサ40aは、コンデンサ40bにアナログ信号50の電圧に蓄電される。コンデンサ40aの電圧値がアナログ信号50の電圧と等しくなった後で、アナログスイッチ34eが再び開く。次に、アナログスイッチ34fが閉じ、コンデンサ40bの正電荷が、コンデンサ40cに転送される。

【0038】展開パルス(52a～52h)の1周期の間に、HiとLowの各々に応じて、前述したいずれかの動作が行われる。ここで、信号展開部(20a、20c～20h)及び積分器(22a、22c～22h)の構成及び動作は、図6に関連して説明した信号展開部20b及び積分器22bの構成と同一なので説明を省略する。また、行列(1)で示される展開行列Wに基づいてアナログ信号50を展開する場合、信号展開部20aは、常にアナログ信号50を出力すればよいので、信号展開部20aを設けず、アナログ信号50を積分器22aで積分してもよい。

【0039】図8は、図3に関連して説明したデジタル信号処理部24の詳細な構成を示す。デジタル信号処理部24は、A/D変換部12、電圧値算出係数供給部48、電圧値算出部47及び電圧値出力部49を備える。電圧値算出係数供給部48は、展開行列Wの逆行列の要素である電圧値算出係数68を、電圧値算出部47に供給する。電圧値算出係数供給部48は、電圧値算出

係数68を、予め保持してもよい。また、他の実施形態では、電圧値算出係数供給部48は、展開係数供給部28に保持される展開行列Wに基づいて、展開行列Wの逆行列を算出してもよい。例えば、行列(1)で示される展開行列Wの電圧値算出係数68は、次に示す行列(2)に含まれる要素 w_{ij} である。

【数2】

$$W^{-1} = \begin{pmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{pmatrix}^{-1}$$

$$= \frac{1}{8} \begin{pmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{pmatrix} \quad \dots\dots\dots (2)$$

【0040】A/D変換部12は、サンプリング周期 T_s で供給されるサンプリングクロック58に基づいて積分値(64a~64h)を取り込み、デジタル積分値(66a~66h)を出力する。電圧値算出部47は、デジタル積分値(66a~66h)及び電圧値算出係数68に基づいて、アナログ信号50の電圧値を算出する。

【0041】アナログ信号50のA/D変換間隔 T_c に

$$\begin{pmatrix} S0 \\ S1 \\ S2 \\ S3 \\ S4 \\ S5 \\ S6 \\ S7 \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{pmatrix}^{-1} \begin{pmatrix} y0 \\ y1 \\ y2 \\ y3 \\ y4 \\ y5 \\ y6 \\ y7 \end{pmatrix} \quad \dots\dots\dots (3)$$

電圧値算出部47は、(3)式に示される演算を行い、A/D変換間隔 T_c におけるアナログ信号50の電圧値70(S0、S1、S2、…、S7)を算出する。電圧値出力部49は、パラレルに得られた電圧値70をシリアルに変換して順次出力する。

【0042】図9は、図3に関連して説明したデジタル信号処理部24の他の実施形態を示す。このデジタル信号処理部24は、電圧値算出部47及び電圧値出力部49を備える。電圧値算出部47は、A/D変換器(12a~12h)、乗算器(72a~72h)及び加算器(74a~74h)を有する。電圧値算出部47は、シフトレジスタ76を有する。図9において、図8

における電圧値を、順にS0、S1、S2、S3、S4…とし、積分値(64a~64h)をそれぞれ $y0$ 、 $y1$ 、 $y2$ 、… $y7$ とすれば、電圧値を算出する演算は、次の(3)式に表される。特に、 $y0 \sim y7$ は、A/D変換部12から出力されるデジタル積分値(66a~66h)を用いる。

【数3】

と同一の符号を付した構成は、図8において対応する構成と同一、又は同様の機能を有する。

【0043】A/D変換器(12a~12h)は、アナログ値である積分値(64a~64h)をサンプリング周期 T_s でデジタル化する。乗算器72aは、A/D変換器(12a~12h)から出力されるデジタル積分値(66a~66h)に、行列(2)の第1行に含まれる各要素を乗じて得られた複数の乗算値を、加算器74aに出力する。

【0044】加算器74aは、乗算器72aから出力された乗算値を加算することにより、電圧値S0を算出して出力する。乗算器(72b~72h)及び加算器(7

4b~74h)の動作は、それぞれ乗算器72a及び加算器74aの動作と同一なので説明を省略する。

【0045】シフトレジスタ(76a~76h)に供給されるシフト信号SHIFTには、A/D変換間隔 T_c でクロックが供給される。ロード信号LOADには、サンプリング周期 T_s でクロックが供給される。従って、シフトレジスタ(76a~76h)は、電圧値(S_0, S_1, \dots, S_7)を、サンプリング周期 T_s で格納し、格納した電圧値(S_0, S_1, \dots, S_7)を、A/D変換間隔 T_c 毎にシフト(移動)する。電圧値出力部49は、電圧値 S_0, S_1, \dots, S_7 を順次出力する。従って、ディジタル信号処理部24は、サンプリング周期 T_s より短い周期であるA/D変換間隔 T_c におけるアナログ信号50の電圧値を算出し、出力することができる。

【0046】図10を用いて、本発明のA/D変換装置の原理を説明する。入力信号を $S(t)$ とする。サンプリング周期 T_s を8分割するA/D変換間隔 T_c で、入力信号 $S(t)$ を分割し、それぞれ $S_0 \sim S_7$ とする。ここで、入力信号 $S(t)$ を複数の信号に展開するための展開行列 W とする。入力信号 $S(t)$ を8分割するため、展開行列 W は 8×8 行列である。分割された入力信号($S_0 \sim S_7$)を入力信号ベクトル $S_n = (S_0, S_1, S_2, \dots, S_7)^t$ 、展開信号のサンプル値を、サンプリングデータベクトル $Y = (y_0, y_1, y_2, \dots, y_7)^t$ とすれば、

$$Y = W \cdot S_n$$

が成り立つ。ここで、行列 W の逆行列が存在すれば、 $S_n = W^{-1} \cdot Y$

となり、入力信号ベクトル S_n を求めることができる。展開行列 W は、逆行列の存在する任意の行列でよいことがわかる。ロジック回路により展開係数供給部28を構成する場合は、展開行列 W は、2値のみで構成されることが好ましい。

【0047】行列(1)は、ウォルッシュ関数に基づいて作られたウォルッシュ行列(前述した行列(1))である。ウォルッシュ行列は、-1と1の2値のみをとり、逆行列もウォルッシュ行列の整数倍になるので、ロジック回路により展開係数供給部28を構成する場合に適切な行列である。また、それぞれの信号展開部(20a~20h)に供給されるウォルッシュ行列は、-1と1が均等な数だけ存在するので、アナログスイッチなどの動作時に生じる誤差が打ち消される。展開行列 W は、2値で構成されることが好ましく、逆行列が展開行列 W の整数倍であることが好ましい。次に、展開行列 W としてウォルッシュ行列を用いて本発明の動作を数式で説明する。

$$y_1^{(i)} = \int_0^{T_s} s(t) w_1(t) dt = \sum_{k=0}^{L-1} W_1(k) \int_0^{T_s} s(t) g(t - kT_c) dt \quad (6)$$

上式の下線部分を s_k とする。ここで(3)式を用い

【0048】アナログ信号 $S(t)$ 、サンプリング周期 T_s とし、A/D変換間隔 T_c でアナログ信号 $S(t)$ の電圧値を算出する場合を説明する。ウォルッシュ行列に基づいて生成された展開パルス(52a~52h)を、ウォルッシュパルスとする。ウォルッシュパルスの時間波形を $W_1(t)$ とすると

【数4】

$$w_1(t) = \sum_{k=0}^{L-1} W_1(k) g(t - kT_c) \quad (1)$$

と表される。ここで、 $L = T_s / T_c$ である。また、 $g(t)$ はパルス波形で、以下のように与えられる。

【数5】

$$g(t) = \begin{cases} 1 & (0 \leq t < T_c) \\ 0 & (\text{otherwise}) \end{cases} \quad (2)$$

ウォルッシュ行列の要素は、-1と1のみの値なので、(2)式で得られる1(Hi)と0(Low)がそれぞれ-1、1になる。

【0049】信号展開部(20a~20h)は、入力信号 $S(t)$ とウォルッシュパルスを乗算する回路である。積分器の出力を $y(t)$ とすると

【数6】

$$y_1(t) = \int_{t-T_s}^t s(t) w_1(t) dt \quad (3)$$

となる。A/D変換器は $y(t)$ をサンプリング周期 T_s で取り込む。時刻 $n \cdot T_s$ (n は整数)で取り込むとA/D変換器の出力は

【数7】

$$y_n^{(i)} = y_1(nT_s) = \int_{(n-1)T_s}^{nT_s} s(t) w_1(t) dt \quad (4)$$

となる。 y の右肩の(1)は、ウォルッシュ行列の第1行に基づいて生成されたウォルッシュパルスを示す。 $n=1$ の場合では次のようになる。

【数8】

$$y_1^{(i)} = y_1(1T_s) = \int_0^{T_s} s(t) w_1(t) dt \quad (5)$$

$y_1^{(1)}$ は、時間 $[0, T_s]$ の範囲で、入力信号 $S(t)$ をウォルッシュパルスを用いて演算したときに、積分器22bで得られる積分値である。時間 $[0, T_s]$ の範囲で、それぞれのウォルッシュパルスを用いて演算したときの積分値(64a~64h)が求めれば、積分値(64a~64h)から逆に $S(t)$ が求められる。(5)式は以下のように計算できる。

【数9】

ば、 s_k は以下のように表される。

【数10】

$$s_k = \int_0^{T_s} s(t) g(t - kT_c) dt \equiv \int_{-\infty}^{\infty} s(t) g(t - kT_c) dt \\ = [s(t) * g(-t)]_{t=kT_c} \quad (7)$$

アスタリスクは畳込み演算を表す。

【0050】図11に、(7)式をブロック図を用いて模式的に示す。図11より、 s_k は、 $S(t)$ を $g(-t)$ のインパルス応答を持つフィルタを通した後で、A/D変換間隔 T_c でサンプリングした値であることがわかる。従って、 s_k を求めることで、 $S(t)$ をサンプリングレート $1/(A/D$ 変換間隔 $T_c)$ でサンプリングしたデータが得られることがわかる。このようにして、実際のサンプリングレート $1/(\text{サンプリング周期})$

T_s) より、高いレートのサンプリングを等価的に行うことができる。(6)式は以下のように表される。

【数11】

$$y_1^{(i)} = \sum_{k=0}^{L-1} W_1(k) s_k \quad (8)$$

同様に、 $y_n^{(1)}$ は以下で与えられる。

【数12】

$$y_n^{(i)} = \int_{(n-1)T_s}^{nT_s} S(t) w_1(t) dt = \int_0^{T_s} S(t + nT_s) w_1(t + nT_s) dt \\ = \int_0^{T_s} S(t + nT_s) w_1(t) dt = \sum_{k=0}^{L-1} W_1(k) \int_0^{T_s} S(t + nT_s) g(t - kT_c) dt \quad (9)$$

下線部分は、入力信号 $S(t)$ を $S(t + n \cdot T_s)$ に置き換えたものである。これは、サンプリングを $k \cdot T_c$ から $(k + nL) \cdot T_c$ に替えたことと等価である。同様のことが全ての $y_n^{(i)}$ ($i = 0, 1, 2, \dots, L-1$) について成り立つので、これを式で表せば以下のようになる。

【数13】

$$y_n^{(i)} = \sum_{k=0}^{L-1} W_1(k) s_{k+nL} \quad (10)$$

次に(10)式を行列表現を用いて簡単化する。入力信号ベクトル $S_n = (S_{kL}, S_{kL+1}, S_{kL+2}, \dots,$

$$y_n^{(i)} = \int_0^{T_s} S(t + nT_s) w_1(t + nT_s) dt \\ = \int_{-\infty}^{\infty} S(t + nT_s) w_1(t) dt = \int_{-\infty}^{\infty} S(nT_s - t) w_1(-t) dt \quad (12)$$

(12)では、 $W_1(t) = 0$ ($t > 0, t > T_s$) とした。ウォルッシュ関数変換は、フーリエ変換と同様に、時間軸波形を周波数領域で展開する形になっているので、本方式は、時間軸上のサンプリングタイミングを周波数軸方向に広げていることになる。時間軸上のサンプリングタイミングを周波数軸方向に広げることにより、時間軸方向のサンプリングレートを下げることができるので、各々のA/D変換器の動作タイミングのずれが、測定精度に及ぼす影響を減らすことができる。また、一定期間積分した値に基づいてA/D変換値60を算出するので、量子化誤差の影響を減らすことができ、正確な時間間隔におけるA/D変換値60を算出でき

$\dots, S_{kL+L-1})^t$ 、ウォルッシュ行列 W 、サンプリングデータベクトル $y = (y_n^{(0)}, y_n^{(1)}, y_n^{(2)}, \dots, y_n^{(L-1)})^t$ とすると

$$y = W \cdot S_n \quad (11)$$

と表される。(11)式を逆に解けば、入力信号ベクトル S_n が得られる。ウォルッシュ行列 W の逆行列は、どのような L にたいしても得られて $W^{-1} = 1/L \cdot W$ ように与えられる。このウォルッシュ行列の性質は、数値演算上望ましい。また、 $y_n^{(1)}$ は以下のように表現できる。

【数14】

る。

【0051】以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることができることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0052】

【発明の効果】上記説明から明らかなように、本発明によれば、複数のA/D変換器を備えるA/D変換装置を供給することができる。

【図面の簡単な説明】

【図1】インターリーブ方式のA/D変換装置を示す。

【図2】被測定信号であるアナログ信号の1例を示す。

【図3】本発明によるA/D変換装置の1つの実施形態のブロック図を示す。

【図4】展開係数供給部28の実施形態を示す。

【図5】展開パルス(52b~52h)を示す。

【図6】信号展開部20b及び積分器22bの実施形態を示す。

【図7】信号展開部20b及び積分器22bの他の実施形態を示す。

【図8】デジタル信号処理部24の実施形態を示す。

【図9】デジタル信号処理部24の他の実施形態を示す。

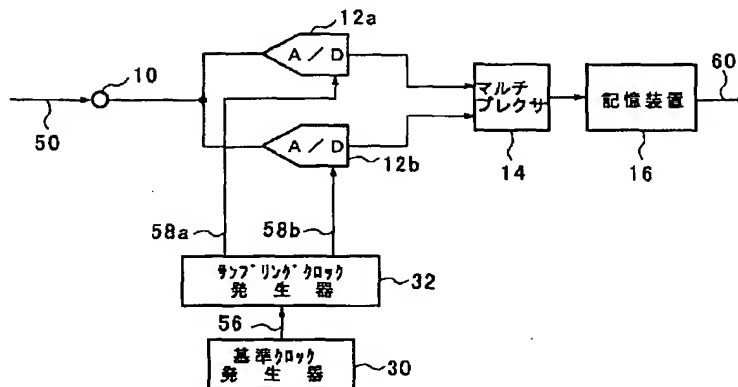
【図10】入力信号をA/D変換間隔 T_c で分割した図を示す。

【図11】本発明の動作原理の説明に用いる図を示す。

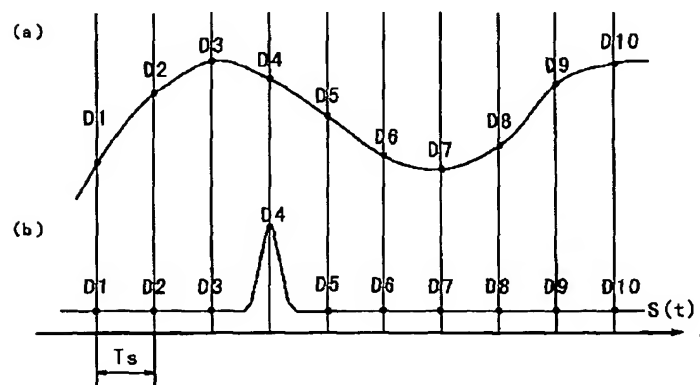
【符号の説明】

10…アナログ信号入力部、12a、12b…A/D変換器、14…マルチプレクサ、16…記憶装置、20a~20b…信号展開部、22a~22b…積分器、24…デジタル信号処理部、28…展開係数供給部、30…基準クロック発生器、32…サンプリングクロック発生器、34a~34k…アナログスイッチ、36…インバータ、38…アナログ減算器、40a~40d…コンデンサ、42…オペアンプ、44a、44b…1/2分周器、46a~46d…排他的論理和、47…電圧値算出部、48…電圧値算出係数供給部、49…電圧値出力部、50…アナログ信号、52a~52b…展開パルス、54…展開係数、56…基準クロック、58a、58b…サンプリングクロック、60…A/D変換値、62a~62h…展開信号、64a~64h…積分値、66a~66h…デジタル積分値、68…電圧値算出係数、70…電圧値、72a~72h…乗算器、74a~74h…加算器、76a~76h…シフトレジスタ、80a~80c…インバータ

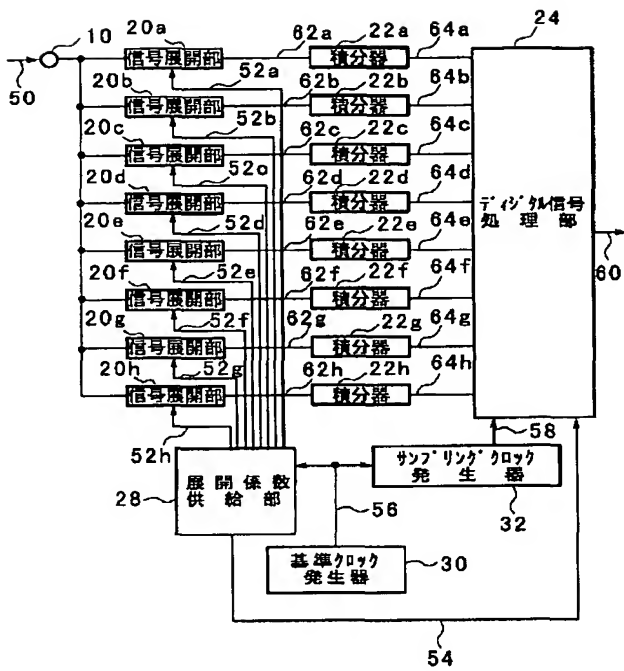
【図1】



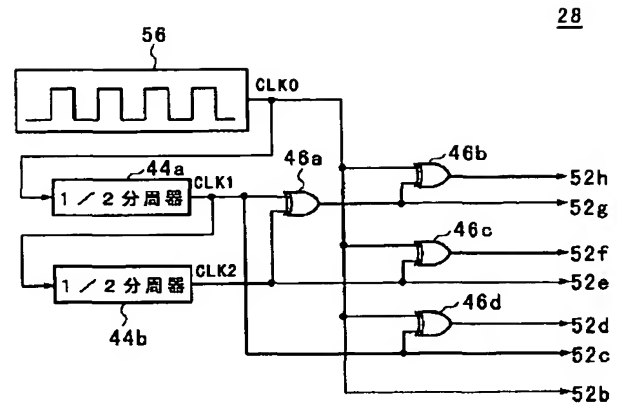
【図2】



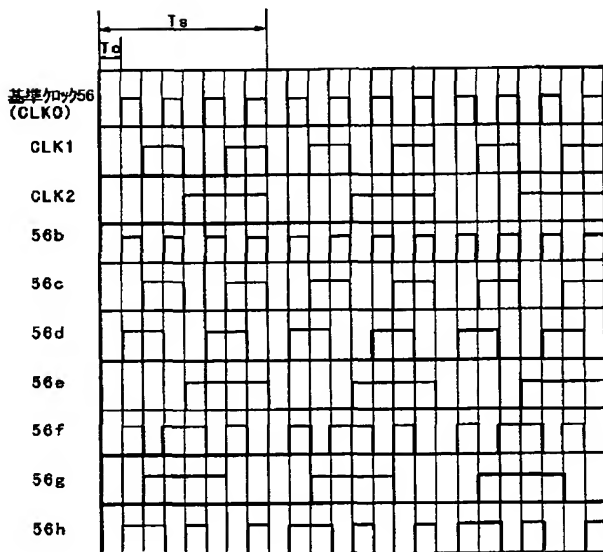
【図3】



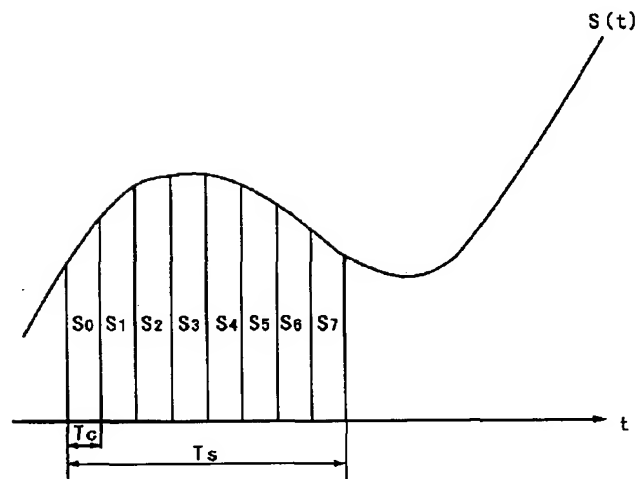
【図4】



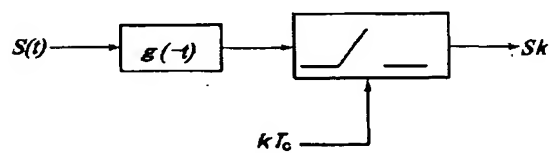
【図5】



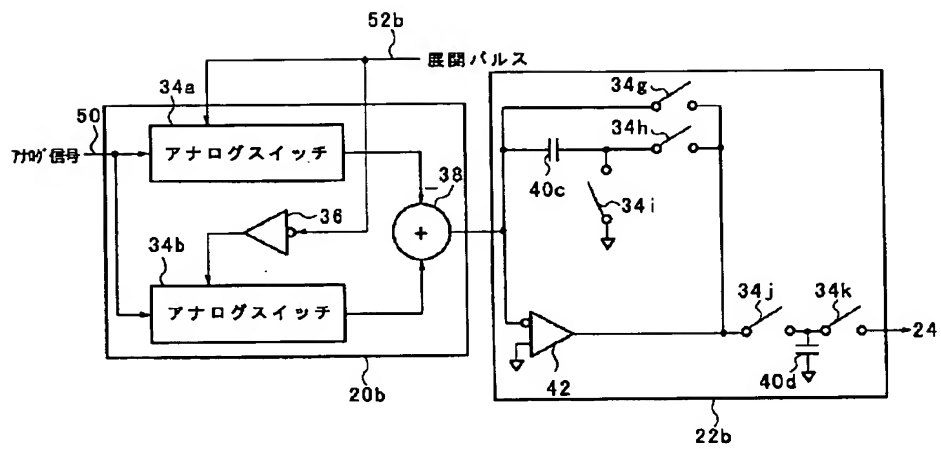
【図10】



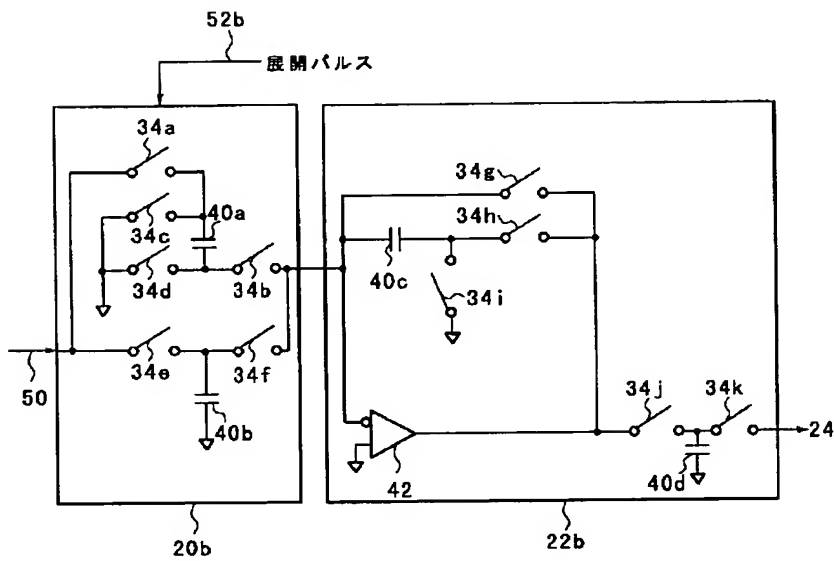
【図11】



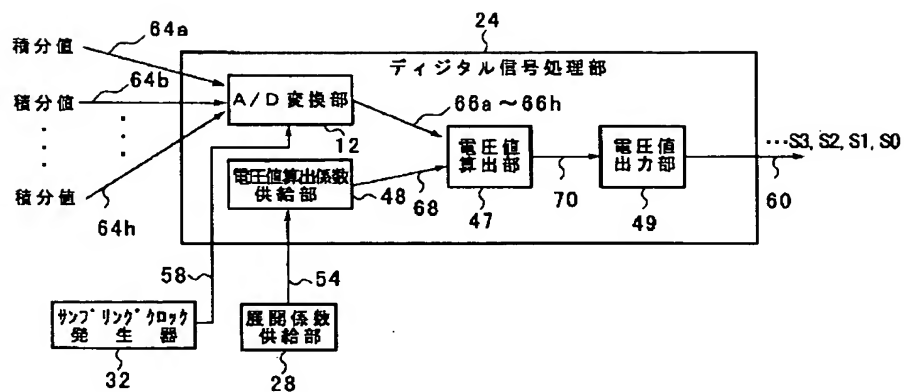
【図6】



【図7】



【図8】



【図9】

